

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-185085

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

H01S 5/343

H01S 5/02

(21)Application number : 2000-376846

(71)Applicant : SHARP CORP

(22)Date of filing : 12.12.2000

(72)Inventor : KAMIKAWA TAKESHI
ITO SHIGETOSHI

(54) NITRIDE-BASED SEMICONDUCTOR LASER ELEMENT AND METHOD OF DIVIDING CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a semiconductor laser element to be divided into chips with accuracy at a yield of $\geq 90\%$ and to have excellent end faces by controlling the surface roughness of the rear surface of a nitride semiconductor substrate.

SOLUTION: The semiconductor laser element is divided into the chips at a high yield, by adjusting the surface roughness Ra of the rear surface, namely, the surface on which the semiconductor layer is not formed of the GaN-based semiconductor substrate composed of a semiconductor wafer, which is constituted by laminating a semiconductor layer upon a hexagonal GaN substrate and has cleavage planes on its side faces to ≤ 300 μm .

LEGAL STATUS

[Date of request for examination] 15.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-185085

(P 2 0 0 2 - 1 8 5 0 8 5 A)

(43) 公開日 平成14年6月28日 (2002. 6. 28)

(51) Int. Cl. ⁷	識別記号	F I	ターマコード [*] (参考)
H01S 5/343	610	H01S 5/343	610 5F073
5/02		5/02	

審査請求 未請求 請求項の数 3 O L (全14頁)

(21) 出願番号 特願2000-376846 (P 2000-376846)

(22) 出願日 平成12年12月12日 (2000. 12. 12)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 神川 剛

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 伊藤 茂稔

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100102277

弁理士 佐々木 晴康 (外2名)

Fターム (参考) 5F073 AA73 AA74 CA17 CB19 DA34

(54) 【発明の名称】 窒化物系半導体レーザ素子及びチップ分割方法

(57) 【要約】

【課題】 G a N基板を用いた L D素子の分割方法として用いられていた、基板裏面をスクライブして、基板に形成されたエピ膜側からブレーキング刃をあてて、押し割る方法では、クラックやチッピングが多数発生して、共振器長を一定にして歩留まり良くチップに分割することができなかった。

【解決手段】 本発明において、六方晶 G a N基板上に半導体層が積層形成された半導体ウェハーであって、基板であり、また側面に、へき開面を有する G a N系半導体基板の裏面、つまり半導体層が形成されていない面の表面ラフネス R a が 3 0 0 オングストローム以下とすることで歩留まり良くチップ分割を行うものである。

【特許請求の範囲】

【請求項1】 窒化ガリウム系半導体基板と、基板上に積層された半導体層を備えた窒化物系半導体レーザ素子において、窒化ガリウム系半導体基板の裏面の表面ラフネスRaが300Å以下であることを特徴とする窒化物系半導体レーザ素子。

【請求項2】 前記基板には、Clが添加されていることを特徴とする請求項1に記載の窒化物系半導体レーザ素子。

【請求項3】 基板上に半導体積層構造を形成する工程と、基板の所定の位置に傷をつける工程と、傷に沿って、基板を劈開で分割するチップ分割方法において、半導体積層構造を形成する工程と基板の所定の位置に傷をつける工程の間に、基板裏面のラフネスRaを300Å以下になるように研磨する工程を含むことを特徴とするチップ分割方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は青色LD（レーザ）に使用される窒化ガリウム系化合物半導体チップの製造法にかかわり、特にGaN系基板上に積層された窒化ガリウム系化合物半導体ウエハからチップに切り出すための切断方法に関するものである。

【0002】

【従来の技術】 従来、窒化物半導体は発光素子やパワーデバイスとして、利用または研究されている。たとえば、発光素子の場合、その構成する組成を調整することにより、理論的には青色から橙色までの幅の広い波長で発光素子として利用することができる。近年、その特性利用して青色発光ダイオードや緑色発光ダイオードの実用化がなされ、また、窒化物半導体レーザとして青紫色半導体レーザが開発されてきている。ジャーナルオブアプライドフィジクス（Jpn. J. Appl. Phys., Vol. 38 (1999) Pt. 2, No. 2B pp. 184-186）に記載されているGaN基板を用いた青色LD（半導体レーザ）素子を図16に示す。以下に本素子の構造を説明する。基板として、GaN基板200、nクラッド層201のn-Al_{0.07}Ga_{0.93}N、nガイド層202のn-GaN、MQW（多重量子井戸構造）活性層203、拡散防止層204のp-Al_{0.19}Ga_{0.81}N、pガイド層205のp-GaN、pクラッド層206のp-Al_{0.07}Ga_{0.93}N、pコンタクト層208のp-GaNである。さらに、pクラッド層206のp-Al_{0.07}Ga_{0.93}N、pコンタクト層208のp-GaNが、メサ状にエッチングされてpクラッド層206のp-Al_{0.07}Ga_{0.93}N、pコンタクト層208のp-GaN上に、SiO₂の誘電体膜207が形成されている。209はp電極である。GaN基板200の裏面（窒化物半導体膜が形成されていない面）には、n電極210が形成されてい

る。また、図16の紙面に向いた面211は、レーザの共振器のミラー端面であり、劈開により形成されている。

【0003】

【発明が解決しようとする課題】 しかしながら、本従来例のGaN基板を用いたLD素子の例では、チップ分割方法に関する詳細な記述はなかった。本発明者らが、六方晶GaN基板を用いたウエハの劈開を試みたところ、共振器長をばらつきなく一定の長さで歩留まり良く分割するは困難であった。これは、劈開方向である<11-20>方向に罫書き線を入れた場合であっても、六方晶であるGaNでは、この劈開方向と60度をなす角度も劈開方向となる。このため、図14に示すように<11-20>方向に入れた罫書き線に対して斜めに割れてしまうことが原因であった。

【0004】

【課題を解決するための手段】 本発明の窒化物系半導体レーザ素子は、窒化ガリウム系半導体基板と、基板上に積層された半導体層を備えた窒化物系半導体レーザ素子において、窒化ガリウム系半導体基板の裏面の表面ラフネスRaが300Å以下であることを特徴とする。

【0005】 さらに、本発明の窒化物系半導体レーザ素子は、Clが添加されていることを特徴とする。

【0006】 本発明のチップ分割方法は、基板上に半導体積層構造を形成する工程と、基板の所定の位置に傷をつける工程と、傷に沿って、基板を劈開で分割するチップ分割方法において、半導体積層構造を形成する工程と基板の所定の位置に傷をつける工程の間に、基板裏面のラフネスRaを300Å以下になるように研磨する工程を含むことを特徴とする。

【0007】 なお、本明細書において、半導体膜表面のラフネスを示す指標としてRa（平均粗度）を用いた。この定義に関しては以下に述べる通りである。Raは中心線を基準とした粗度曲線の平均値で、次式によって計算されるものである。

【0008】

【数1】

$$Ra(1/L) \int_0^L |f(x)| dx$$

【0009】 ここで、Lは粗度曲線の長さで通常250μm程度とする、f(x)は中心線を基準にした粗度曲線とする。本実施例においてラフネスの測定は、ASUBSIDIARY OF VEECO INSTRUMENTS INC社製DEKTAK3STを用いて測定した。測定条件として、測定長250μm、測定時間3s、触針圧30mg、水平分解能1μm/samp1

eで行っている。

【0010】

【発明の実施の形態】一般に、窒化物半導体の結晶成長を行う方法としては、有機金属気相成長法（以下MOCVD法という）、分子線エピタキシー法、ハイドライド気相成長法（以下HVPE法という）、で行うのが通例であり、どの結晶成長法を用いてもよい。以下に、基板としてGa_{0.9}N基板を用い、成長法としてMOCVD法を用いて製造した窒化物半導体レーザの例について記述する。基板としては、窒化物半導体で構成されている基板であれば良く、Al_{0.1}Ga_{0.9}In_{0.8}N_{0.2}基板であっても良い。また、Al_{0.1}Ga_{0.9}In_{0.8}N_{0.2}基板（六方晶系）の窒素元素の内、約10%程度以下が、P、As、Sbの他のV族元素に置換されていてもよい。特に、窒化物半導体レーザの場合、垂直横モードの単峰化のために、クラッド層よりも屈折率の低い層が該クラッド層の外側に接している必要があり、AlGa_{0.9}N基板を用いるのが最良である。また、本発明の場合、用いる基板は、窒化物半導体のC面基板が好ましい。基板面のオフ角度は±3度は適用の範囲とする。

【0011】次に本発明のチップ分割を行った、半導体レーザ素子の一般的な構造およびその製造方法について説明する。

【0012】図1は、窒化物半導体レーザ構造を示しており、C面（0001）n型Ga_{0.9}N基板100、n型Ga_{0.9}Nバッファ層101、n型Al_{0.1}Ga_{0.9}In_{0.8}N_{0.2}クラッド層102、活性層103、p型Al_{0.1}Ga_{0.9}In_{0.8}N_{0.2}クラッド層104、p型Ga_{0.9}Nコンタクト層105、n型電極106、p型電極107、SiO₂108から構成されている。以下に図1の窒化物半導体レーザの製造方法について説明する。

【0013】まず、HVPE法で種基板（例えば、サファイア基板）上に厚膜のGa_{0.9}Nを積層し、その後、研磨でサファイア基板を剥き取り、厚さ400μm、大きさ2インチφのC面（0001）n型Ga_{0.9}N基板100を作製した。該n型Ga_{0.9}N基板のn型極性は、Siをドーピングすることによって得られ、該Siの濃度は、 $2 \times 10^{18} \text{ cm}^{-3}$ であった。さらに、前記n型Ga_{0.9}N基板中に約 $8 \times 10^{18} \text{ cm}^{-3}$ の塩素（Cl）をドーピングしている。次に、MOCVD装置に、前記n型Ga_{0.9}N基板100をセットし、1050℃の成長温度でn型Ga_{0.9}Nバッファ層101を100nm形成した。この時、リアクター内には、III族原料、N₂とH₂とNH₃を流している。このn型Ga_{0.9}Nバッファ層は、種基板からn型Ga_{0.9}N基板を剥き取るときに生じたn型Ga_{0.9}N基板の表面歪みの緩和、表面モフォロジや表面凹凸の改善（平坦化）を目的に設けた層であり、無くても構わない。n型Ga_{0.9}Nバッファ層101を形成後、続けて0.8μm厚のn型Al_{0.1}Ga_{0.9}In_{0.8}N_{0.2}クラッド層102を形成した。次に、基板の温度を700℃～800℃程度

に下げ、3周期の、厚さ2nmのIn_{0.1}Ga_{0.9}N井戸層と厚さ4nmのIn_{0.1}Ga_{0.9}N障壁層より構成される活性層（多重量子井戸層）103を成長する。この時、y₃<y₄である。その際、SiH₄は供給してもよいし、供給しなくてもよい。次に、基板温度を再び1050℃まで昇温して、0.1μm厚みのp型Al_{0.1}Ga_{0.9}In_{0.8}N_{0.2}層104を成長する。その後、0.1μmの厚みのp型Ga_{0.9}Nコンタクト層105を成長した。

10 【0014】本実施の形態の活性層103は、3周期からなる多重量子井戸構造を作製したが、その他の周期構造でも良く、井戸層のみの単一量子井戸構造でも良い。活性層を構成する井戸層および障壁層はInGa_{0.9}Nから構成されていれば良く、所望の発光波長に応じて井戸層あるいは障壁層のIn組成、もしくは井戸層厚を変化させればよい。

【0015】活性層が単一量子井戸で、発光波長が370nm以下の場合は、井戸層はGa_{0.9}Nから構成されているのが好ましく、少なくとも極性を示す不純物がドーピングされていない。また、n型クラッド層102とp型クラッド層104は少なくともAlを含む窒化物半導体から構成されていない。また、n型クラッド層102とp型クラッド層104は少なくともAlを含む窒化物半導体から構成されていない。また、n型クラッド層102とp型クラッド層104は少なくともAlを含む窒化物半導体から構成されていない。

【0016】活性層が多重量子井戸から構成されていて、発光波長が370nm以上の場合は、井戸層はInGa_{0.9}Nから構成されていて、障壁層は少なくともGa_{0.9}NもしくはAlを含む窒化物半導体でなければならず、少なくとも井戸層もしくは障壁層の何れかに極性を有する不純物がドーピングされていない。上記活性層中の井戸層または障壁層にドーピングする極性を有する不純物は、Si、Ge、O、C、Zn、Be、Mgの何れかが好ましい。

【0017】p型Ga_{0.9}Nコンタクト層105のp型不純物濃度は、p型電極107の形成位置に向かって、p型不純物濃度を高くする方が好ましい。このことによりp型電極形成によるコンタクト抵抗を低減する。また、p型化不純物にMgを用いる場合は、Mgの活性化を妨げp層中の残留水素を除去するために、p型層成長中に微量の酸素を混入させてもよい。

【0018】この様にして、p型Ga_{0.9}Nコンタクト層105を成長後、MOCVD装置のリアクター内を全窒素キャリアガスとNH₃の混合ガスに変えて、60℃/分で温度を降下させた。基板温度が850℃に達した時点で、NH₃の供給を停止して、5分間、前記基板温度で待機してから、室温まで降下させた。上記基板の保持温度は650℃から900℃の間が好ましく、待機時間は、3分以上15分以下が好ましかった。また、降下温度の速度は、30℃/分以上が好ましい。このようにして作製された成長膜をラマン測定によって評価した結果、前記手法により、従来、利用されているp型化アニールを行わなくとも、成長後すでにp型化の特性を示し

ていた。また、p型電極形成によるコンタクト抵抗も低減していた。

【0019】次に、p型Ga_{0.4}N_{0.6}コンタクト層105上にSiO₂108を蒸着する。その後、フォトリソとエッチングによりSiO₂を3μm幅のストライプで除去する。次に図1のように、p型Ga_{0.4}N_{0.6}コンタクト層105とSiO₂108上に、Pd(10nm)/Mo(10nm)/Au(150nm)の順に、p型電極107をリソグラフィ技術でパターン形成した後、微量の酸素を導入しながら、N₂雰囲気中でアニールを行った。このことにより、p型電極形成によるコンタクト抵抗の低抵抗化が得られた。

【0020】図2にn型電極の形成までのプロセス手順を示す。図2(a)において、301はGa_{0.4}N_{0.6}基板、302は図1におけるn型Ga_{0.4}N_{0.6}バッファ層からp型Ga_{0.4}N_{0.6}コンタクト層105までのエピ膜で、303はp型電極、304はn型電極である。まず、上記エピウエハーのGa_{0.4}N_{0.6}基板側を研削機により研削して、塩素ドーピングされたGa_{0.4}N_{0.6}基板301の厚さを150μmにする

(図2(b))。その後、研磨機により、初めは15μmダイヤモンドスラリーを用いて研磨し、研削した結果できた基板裏面のダメージ層を除去する。この時、研削によってできた基板裏面のダメージ層はできるだけ除去しておく必要がある。ダメージ層は、およそ15μm程度になると考えられる。このダメージ層を除去しないと、基板をスクライブやブレーキングした時に、意図しない方向に割れてしまう事がある。ダメージ層除去と基板裏面のラフネス調整のために、粒径15μm以下(6μm、3μm、1μm等)のダイヤモンドスラリーを用いて研磨し、基板裏面のラフネスを300Å以下にする(図2(c))。好ましくは100Å以下にする。

【0021】次に、Ga_{0.4}N_{0.6}基板301の研磨した側に、Ti(30nm)/Al(200nm)によるn型電極304を、リソグラフィ技術でパターン形成する。この時、表面のp型電極303の形成位置と真反対側に、n型電極を形成し、且つ、スクライブすべく互いの電極が被覆されていない領域を一致させる。(図2(d))図2においてはn型電極はp型電極と同様のパターンで形成しているが、後述の実施例のように基板裏面全面に形成する場合もある。

【0022】以下に本発明のチップ分割の方法について、いくつかの例を説明する。

(実施の形態1) 図3を用いて本発明のチップ分割方法の例を説明する。図3において、401はp型電極、402はn型電極、403はエピ膜、404はGa_{0.4}N_{0.6}基板、405は野書き線である。本実施例の基板裏面のラフネスは30Åであった。前記方法によりn型電極まで形成したエピウエハーのGa_{0.4}N_{0.6}基板404側に、ダイヤモンド針でスクライブすることにより、図3に示すように、野書き線405をいれる。野書き方向は窒化物半導

体に対して<11-20>である。野書き部分は基板の周囲から1~2mm程度である。スクライブ装置で野書き線を入れる際、ダイヤモンド針の針圧(針を基板に押さえつける圧力)を適当な値にすることにより、スクライブしただけで前記エピウエハーを分割することも可能であり、本発明においては、スクライブしただけで素子を分割しても、次に行うブレーキングによって素子を分割しても結果に何ら違いはなく、どちらで行ってもよい。このブレーキングでは、先に入れた野書き線に一致するようにブレーキング刃をエピ面側(スクライブを入れた面と逆面)から当ててウエハーを押し割る。このようにすることで素子を図4に示すようにバー501の状態に分割することが可能である。図4において、501はバー、502は野書き線、503はチップである。次に、このバーの基板側(n型電極側)に、図4に示すように、<1-100>方向に、周囲から1~2mm程度で野書き線502を入れる。更に先に入れた野書き線502に一致するようにブレーキング刃をエピ面側(スクライブを入れた面と逆面)から当ててブレーキングする事により、一つのチップ単位503に分割する。上記で示した方法を用いて、2インチφのウエハーから共振器長350μmのチップを多数得た。チップの切断面にクラック、チッピングが発生しておらず、外形不良の無い物であり、共振器長が設定の350μm±3μmに収まっていおり、チップの歩留まりは95%であった。

【0023】図15にGa_{0.4}N_{0.6}基板裏面のラフネスと歩留まりとの相関を示す。95%以上の歩留まりで、所望の形状でチップ分割できたのは、Ga_{0.4}N_{0.6}基板面のラフネスを300Å以下(本実施例に関しては30Å)の状態にしたためである。これよりラフネスが大きくなると

(Ra=390Å)、スクライブした際、表面の凹凸により、図14に示すように、意図しない方向に亀裂が生じウエハーが割れてしまうことが分かった。この時、図15に示すように、歩留まりは55%以下になってしまった。逆に、ラフネスの値は小さいほど良いがラフネス10Å以下に小さくしてもあまり歩留まりの向上は見られない。10Åにしても何ら問題はない(図15)。

(実施の形態2) 図5、図6に本実施の形態のチップ分割方法の概略図を示す。601はp型電極、602はn型電極、603はエピ膜、604はGa_{0.4}N_{0.6}基板、605は野書き線である。本実施の形態のGa_{0.4}N_{0.6}基板裏面のラフネスは10Åであった。前述の方法でn型電極まで形成したエピウエハーのGa_{0.4}N_{0.6}基板603側に、ダイヤモンド針でスクライブすることにより、<11-20>方向に野書き線605をいれる。図5に示すように、野書き部分はウエハーの端から端までとする。次に、ブレーキングによってウエハーを図6に示すようなバー701の状態に分割する。このブレーキングでは、先に入れた野書き線601に一致するようにブレーキング刃をエピ面側(スクライブを入れた面と逆面)から当ててウエハ

一を押し割る。このようにすることでウエハーをバーに分割することが可能である。次に、図6に示すようにバー701の基板側に<1-100>方向へウエハーの端から端までスクライブすることにより、に罫書き線702をいれる。更にく1-100>方向へいれた罫書き線702に一致するようにブレーキング刃をエピ面側（スクライブを入れた面と逆面）から当ててブレーキングする事により、一つのチップ単位703に分割する。上記で示した方法を用いて、2インチφのウエハーから180μm角のチップ703を多数得た。本実施例に関して、用いたウエハーのRaは10Åであった。

【0024】チップの切断面にクラック、チップングが発生しておらず、外形不良の無い物であり、共振器長が設定の180μm±3μmに収まっているチップの歩留まりは95%であった（図15）。

【0025】（実施の形態3）図7、図8に本実施の形態のチップ分割方法の概略図を示す。n電極形成までは前述の方法と全く同様の工程で行う。本実施の形態の基板裏面のラフネスRaは204Åであった。次に図7に示すように、<11-20>方向へウエハーの周囲から1~2mm程度をスクライブすることにより、エピ面側に罫書き線805をいれる。図7において、801はp型電極、802はn型電極、803はエピ膜、804はGaN基板、805は罫書き線である。次に、ブレーキングによってウエハーを図8に示すバー901の状態に分割する。このブレーキングでは、先に入れた罫書き線805に一致するようにブレーキング刃をGaN基板804側（スクライブを入れた面と逆面）から当ててウエハーを押し割る。このようにすることでウエハーをバーに分割することが可能である。次に、図8に示すようにバー901のエピ面側<1-100>方向へウエハーの周囲1~2mm程度をスクライブすることにより罫書き線902をいれる。図8のように、<1-100>方向へいれた罫書き線902に一致するようにブレーキング刃をGaN基板側（スクライブを入れた面と逆面）から当ててブレーキングする事により、一つのチップ単位903に分割する。

【0026】上記で示した方法を用いて、2インチφのウエハーから共振器長500μmのチップを多数得た。

【0027】本実施例に関して、用いたウエハーのRaは204Åであった。チップの切断面にクラック、チップングが発生しておらず、外形不良の無い物であり、共振器長が設定の500μm±3μmに収まっているチップの歩留まりは93%であった（図15）。

【0028】さらに、本実施の形態で示した劈開方法で、形成された端面（従来例の図16における211にあたる）は平坦性が高い良好なミラー面が得られる事が分かった。AFM（atomic force microscope）で劈開端面のラフネスを測定したところ、RMS（中心線から荒さ曲線までの偏差の二乗の平

方根を表し、本請求項で表現したRaとは異なる。：Root Mean Square）0.1nm程度であった。測定方向は基板面に平行方向に長さ4μm測定した。本実施例で作成されたレーザ素子はミラー損失が他の方法で劈開した場合に比べ低く、20%程度、低閾値の駆動電流で発振することが分かった。これは、活性層が近い、エピ面側をスクライブして罫書き線を入れた方が、活性層から遠い基板裏面に罫書き線を入れるより、劈開される際、端面が荒れるなどの影響が少ないためであり、更に裏面からブレーキングの刃を入れるため膜にダメージを与えないため良好な特性、および端面が得られると考えられる。

（実施の形態4）n型電極形成までは前述と全く同様の工程で行う。本実施の形態の基板裏面のラフネスRaは280Åであった。エピ面側を<11-20>方向へウエハーの端から端までスクライブすることにより、に罫書き線を入れた。次に、ブレーキングによってウエハーをバーの状態に分割する。このブレーキングでは、先に入れた罫書き線に一致するようにブレーキング刃をGaN基板側（スクライブを入れた面と逆面）から当ててウエハーを押し割る。このようにすることでウエハーをバーに分割することが可能である。次に、バーのエピ面側を<1-100>方向へウエハーの端から端までスクライブすることにより罫書き線を入れた。更にく1-100>方向へいれた罫書き線に一致するようにブレーキング刃をGaN基板側（スクライブを入れた面と逆面）から当ててブレーキングする事により、一つのチップ単位に分割する。

【0029】上記で示した方法を用いて、2インチφのウエハーから1000μm角のチップを多数得た。

【0030】本実施例に関して、用いたウエハーのRaは280Åであった。チップの切断面にクラック、チップングが発生しておらず、外形不良の無い物であり、共振器長が設定の1000μm±3μmに収まっているチップの歩留まりは90%であった（図15）。これは、活性層が近い、エピ面側をスクライブして罫書き線を入れた方が、活性層から遠い基板裏面に罫書き線を入れるより、劈開される際、端面が荒れるなどの影響が少ないためであり、更に裏面からブレーキングの刃を入れるため膜にダメージを与えないため良好な特性、および端面が得られると考えられる。

（実施の形態5）n型電極形成までは前述と全く同様の工程で行う。本実施の形態の基板裏面のラフネスRaは204Åであった。<11-20>方向へウエハーの周囲から1~2mm程度をスクライブすることにより、エピ面側に罫書き線を入れた。次に、ブレーキングによってウエハーをバーの状態に分割する。このブレーキングでは、先に入れた罫書き線に一致するようにブレーキング刃をエピ面側（スクライブを入れた面と同じ面）から当ててウエハーを押し割る。このようにすることでウエ

ハーをバーに分割することが可能である。次に、バーのエピ面側<1-100>方向へウエハーの周囲1~2mm程度をスクライブすることにより野書き線をいれる。<1-100>方向へいれた野書き線に一致するようにブレーキング刃をエピ面側（スクライブを入れた面と同じ面）から当ててブレーキングする事により、一つのチップ単位に分割する。

【0031】上記で示した方法を用いて、2インチφのウエハーから共振器長350μmのチップを多数得た。

【0032】本実施例に関して、用いたウエハーのRaは204Åであった。チップの切断面にクラック、チッピングが発生しておらず、外形不良の無い物であり、共振器長が設定の350μm±3mに収まっているチップの歩留まりは93%であった（図15）。

（実施の形態6）n型電極形成までは前述と全く同様の工程で行う。本実施の形態の基板裏面のラフネスRaは127Åであった。<11-20>方向へウエハーの周囲から1~2mm程度をスクライブすることにより、GaN基板側に野書き線をいれる。次に、ブレーキングによってウエハーをバーの状態に分割する。このブレーキングでは、先に入れた野書き線に一致するようにブレーキング刃をGaN基板側（スクライブを入れた面と同じ面）から当ててウエハーを押し割る。このようにすることでウエハーをバーに分割することが可能である。次に、バーのGaN基板側<1-100>方向へウエハーの周囲1~2mm程度をスクライブすることにより野書き線をいれる。<1-100>方向へいれた野書き線に一致するようにブレーキング刃をGaN基板側（スクライブを入れた面と同じ面）から当ててブレーキングする事により、一つのチップ単位に分割する。

【0033】上記で示した方法を用いて、2インチφのウエハーから共振器長350μmのチップを多数得た。

【0034】本実施例に関して、用いたウエハーのRaは127Åであった。チップの切断面にクラック、チッピングが発生しておらず、外形不良の無い物であり、共振器長が設定の350μm±3μmに収まっているチップの歩留まりは94%であった（図15）。

（実施の形態7）図9に本実施の形態のチップ分割方法の概略図を示す。1はp型電極、2はn型電極、3はエピ膜、4はGaN基板、5は野書き線、6は割り溝である。

【0035】n型電極形成までは前述と全く同様の工程で行う。本実施の形態の基板裏面のラフネスRaは86Åであった。エピウエハーのエピ面側に、ダイヤモンド針でスクライブすることにより、野書き線5をいれる。野書く方向は窒化物半導体に対して<11-20>方向である。野書く部分はウエハーの周囲から1~2mm程度である。次に素子分割の際の意図しない方向への横割れを防ぐために、GaN基板側に割り溝6を<11-20>方向に形成する。前記エピウエハーをダイサーにセ

ットし、該エピウエハーのGaN基板側に、深さ30μm、線幅20μm、ピッチ350μmの割り溝6を、<11-20>方向に形成した。この時の、割り溝はエピ面側に形成した野書き線5と一致するようにアライメントする。次に、先に入れた割り溝6に一致するようにブレーキング刃をGaN基板側（スクライブを入れた面と逆面）から当ててウエハーを押し割る。このようにすることで横割れの確立を大きく減少させ、ウエハーをバーの状態に分割することが可能である。

10 【0036】更に、バーのエピ面側に<1-100>方向にダイヤモンド針でスクライブすることにより、野書き線をいれる。野書く部分はウエハーの周囲から1~2mm程度である。次に、ブレーキング刃をGaN基板側（スクライブを入れた面と逆面）から当ててバーを押し割りチップに分割する。

【0037】上記で示した方法を用いて、2インチφのウエハーから共振器長750μmのチップを多数得た。本実施例に関して、用いたウエハーのRaは86Åであった。チップの切断面にクラック、チッピングが発生して

20 おらず、外形不良の無い物であり、共振器長が設定の1000μm±3μmに収まっているチップの歩留まりは93%であった（図15）。

（実施の形態8）図10、図11に本実施の形態のチップ分割方法の概略図を示す。111はp型電極、112はn型電極、113はエピ膜、114はGaN基板、115は野書き線である。研削、研磨工程までは前述と同様の手順で行う。n型電極の形成は、これまでの実施の形態とは異なる。本実施の形態の基板裏面のラフネスRaは86Åであった。次に、エピウエハーを裏返しにして、GaN基板側に、Ti（30nm）/Al（200nm）によるn型電極112を裏面全体に形成する。ここで、前記エピウエハーのGaN基板114側に、つまりn型電極112に、ダイヤモンド針でスクライブすることにより、野書き線115をいれる。野書く部分はウエハーの周囲から1~2mm程度である。方向は、窒化物半導体に対して<11-20>方向である。この際、n型電極112の膜厚は1500nm以上であった場合、スクライブを入れる際、電極が邪魔し針が基板面まで到達しないために非常に割れにくくなり、スクライブだけで分割するのは難しい。この様な、スクライブにより十分野書く事ができない状態でブレーキングによって素子を分割しても歩留まりは40%以下に大幅に低下してしまう。このため、n型電極を形成した部分をスクライブする際、n型電極の膜厚は、積層する場合であっても1500nm以下にする必要がある。次に、GaN基板側に入れた野書き線に一致するようにブレーキング刃をエピ面側（スクライブを入れた面と逆面）から当ててウエハーを押し割り図11に示すバー121の状態に分割する。次に、GaN基板側に<1-100>方向にダイヤモンド針でスクライブすることにより、野書き線1

22をいれる。野書く部分はウエハの周囲から1~2mm程度である。次に、ブレーキング刃をエピ面側（スクライブを入れた面と逆面）から当ててバーを押し割りチップ123に分割する。この様な分割方法で、2インチφのウエハから250μm角のチップを多数得た。

【0038】本実施例に関して、用いたウエハのRaは86Åであった。チップの切断面にクラック、チップングが発生しておらず、外形不良の無い物であり、共振器長が設定の250μm±3μmに収まっているチップの歩留まりは93%であった（図15）。

【0039】以上のように、裏面全面にn型電極が形成されている場合であっても、n電極の膜厚を1500nm以下にする事で、通常のスクライブにより歩留まり良く分割する事ができた。更に、野書く部分を実施の形態2のようにウエハの端から端まで野書いた場合であっても90%以上の歩留まりであった。

（実施の形態9）n型電極形成までは、実施の形態8と同様の手順で行う。本実施の形態の基板裏面のラフネスRaは5Åであった。ここで、前記エピウエハのエピ面側に、ダイヤモンド針でスクライブすることにより、野書き線をいれる。野書く部分はウエハの周囲から1~2mm程度である。方向は、窒化物半導体に対して<11-20>方向である。次に、エピ面側に入れた野書き線に一致するようにブレーキング刃をGaN基板側（スクライブを入れた面と逆面）から当ててウエハを押し割りバーの状態に分割する。次に、バーのエピ面側に<1-100>方向にダイヤモンド針でスクライブすることにより、野書き線をいれる。野書く部分はウエハの周囲から1~2mm程度である。次に、ブレーキング刃をGaN基板側（スクライブを入れた面と逆面）から当ててバーを押し割りチップに分割する。この様な分割方法で、2インチφのウエハから550μm角のチップを多数得た。

【0040】本実施例に関して、用いたウエハのRaは5Åであった。チップの切断面にクラック、チップングが発生しておらず、外形不良の無い物であり、共振器長が設定の550μm±3μmに収まっているチップの歩留まりは97%であった（図15）。

【0041】以上のように、裏面全面にn型電極が形成されている場合であっても、通常のスクライブにより歩留まり良く分割する事ができた。

【0042】さらに、本実施の形態で示した劈開方法で、形成された端面は平坦性が高い良好なミラー面がえられる事が分かった。AFMで劈開端面のラフネスを測定したところ、RMS=0.1nm程度であった。測定方向は基板面に平行方向に長さ4μm測定した。本実施の形態で作成されたレーザ素子はミラー損失が他の方法で劈開した場合に比べ低く、20%程度、低閾値の駆動電流で発振することが分かった。これは、活性層が近い、エピ面側をスクライブして野書き線を入れた方が、

活性層から遠い基板裏面に野書き線を入れるより、劈開される際、端面が荒れるなどの影響が少ないためであり、更に裏面からブレーキングの刃を入れるため膜にダメージを与えないため良好な特性、および端面が得られると考えられる。

（実施の形態10）図12、図13に本実施の形態のチップ分割方法の概略図を示す。131はp型電極、132はn型電極、133はエピ膜、134はGa-N基板、135は野書き線、136は割り溝である。n型電極形成工程までは、実施の形態8と同様の手順で行う。本実施の形態の基板理面のラフネスRaは185Åであった。ここで、前記エピウエハのエピ面側に、ダイヤモンド針でスクライブすることにより、野書き線135をいれる。野書く部分はウエハの周囲から1~2mm程度である。方向は、窒化物半導体に対して<11-20>方向である。次に素子分割の際の意図しない方向への横割れを防ぐために、Ga-N基板側に割り溝136を形成する。前記エピウエハをダイサーにセットし、該エピウエハのGa-N基板側に、深さ30μm、線幅20μm、ピッチ350μmの割り溝136を、<11-20>方向に形成した。この時の、割り溝はGa-N基板側に形成した野書き線と一致するようにアライメントする。次に先に入れた割り溝に一致するようにブレーキング刃をエピ面側（スクライブを入れた面と逆面）から当ててウエハを押し割る。このようにすることで、ウエハを図13に示すバー141の状態に分割することが可能である。

【0043】次に、バーのエピ面側に<11-20>方向にダイヤモンド針でスクライブすることにより、野書き線142をいれる。野書く部分はウエハの周囲から1~2mm程度である。前記バーをダイサーにセットし、該バーのGa-N基板側に、深さ30μm、線幅20μm、ピッチ350μmの割り溝144を、<11-20>方向に形成した。この時の、割り溝144はGa-N基板側に形成した野書き線と一致するようにアライメントする。次に、ブレーキング刃をGa-N基板側（スクライブを入れた面と逆面）から当ててバーを押し割りチップに分割する。この様な分割方法で、2インチφのウエハから350μm角のチップを多数得た。

【0044】本実施例に関して、用いたウエハのRaは185Åであった。チップの切断面にクラック、チップングが発生しておらず、外形不良の無い物であり、共振器長が設定の550μm±3μmに収まっているチップの歩留まりは95%であった（図15）。

【0045】以上のように、裏面全面にn型電極が形成されている場合であっても、通常のスクライブにより歩留まり良く分割する事ができた。更に、野書く部分を実施の形態2のようにウエハの端から端まで野書いた場合であっても90%以上の歩留まりであった。

【0046】なお、実施の形態1~10において、Ga

N基板は塩素がドーブされている基板を用いた。しかしノンドープのGa_{0.99}N基板、または $1 \times 10^{17} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ 程度、酸素ドーブされたGa_{0.99}N基板であっても、分割する際の歩留まりは上記で述べた結果と同じであった。

【0047】上記実施の形態1～10では、ダイシングにより割り溝を形成して、スクライブにより分割、スクライブにより罫書き線を入れて分割、スクライブにより試料の端だけに罫書き線を入れて試料の劈開性を利用して劈開で分割する方法を用いた。素子を分割する際は、格子状に2方向から、上記で示した方法を用い分割しなくてはならない。この場合、実施の形態7に示すように1方向は罫書き線を入れて、もう1方向はダイシングにより割り溝を形成して分割しているが、このように異なる分割方法を用いても何ら上記、実施の形態に問題はない。

【0048】また今回、研磨工程を終了したGa_{0.99}N基板の最終的な膜厚は100nmとしたが基板膜厚の範囲として40μmから440μmの範囲が好ましい。440μm以上では基板裏面のラフネスR_aを300Å以下に制御した場合であっても上記に示した効果が見られず、分割の歩留まりは50%以下に低下した。更に、40μm以下にすると、膜に過度にかかる歪の効果のために基板裏面のラフネスR_aを300Å以下に制御した場合であっても、意図しない方向にクラックが入る等の問題が確認され、分割の歩留まりは、やはり50%以下に低下してしました。

【0049】

【発明の効果】本発明の構造を用いることによって、窒化物半導体基板の裏面ラフネスを制御することによって、精度良く、歩留まりも90%以上で半導体レーザ素子をチップに分割することができ、更に良好な端面を得ることが可能となった。

【図面の簡単な説明】

【図1】本発明のチップ分割方法により分割された発光素子の構造を示す断面図である。

【図2】本発明によるチップ分割方法のプロセス手順の概略図である。

【図3】実施の形態1に示したウエハの概略図である。

【図4】実施の形態1に示したバーの概略図である。

【図5】実施の形態2に示したウエハの概略図である。

【図6】実施の形態2に示したバーの概略図である。

【図7】実施の形態3に示したウエハの概略図である。

【図8】実施の形態3に示したバーの概略図である。

【図9】実施の形態5に示したウエハの概略図である。

【図10】実施の形態7に示したウエハの概略図である。

【図11】実施の形態7に示したバーの概略図である。

【図12】実施の形態9に示したウエハの概略図である。

【図13】実施の形態9に示したバーの概略図である。

10 【図14】従来例のチップ分割方法により分割したウエハの劈開方向の概略図である。

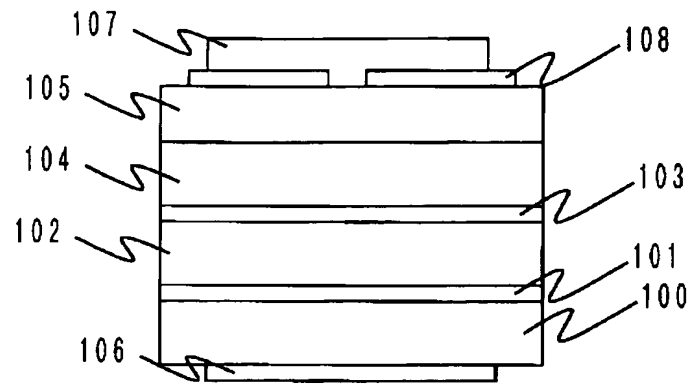
【図15】Ga_{0.99}N基板のラフネスと歩留まりの相関図である。

【図16】従来例のチップ分割方法により分割された発光素子の構造を示す断面図である。

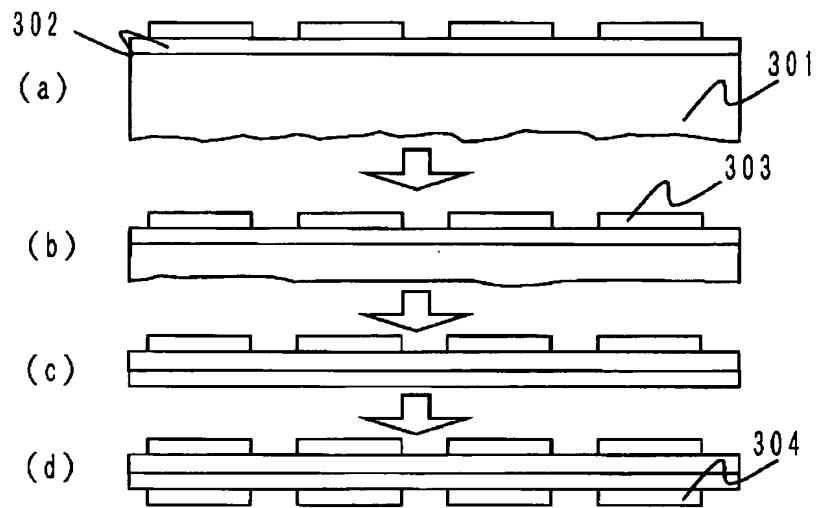
【符号の説明】

1、107、111、131、209、303、401、601、801…p型電極
2、106、112、132、210、304、402、602、802…n型電極
3、113、133、302、403、603、803…エピ膜
4、114、200、134、404、604、804…Ga_{0.99}N基板
5、115、122、135、142、405、502、605、702、805、902…罫書き線
6、136、144…割り溝
100…n型Ga_{0.99}N基板
101…n型Ga_{0.99}Nバッファ層
30 102…n型Al_{0.19}Ga_{0.81}In_{1-x1-y1}Nクラッド層
103…活性層
104…p型Al_{0.19}Ga_{0.81}In_{1-x2-y2}Nクラッド層
105…p型Ga_{0.99}Nコンタクト層
108…SiO₂
121、141、501、701、901…バー
123、143、503、703、903…チップ
201 nクラッド層n-Al_{0.07}Ga_{0.93}N
202 nガイド層n-Ga_{0.99}N
203 MQW活性層
40 204 拡散防止層p-Al_{0.19}Ga_{0.81}N
205 pガイド層p-Ga_{0.99}N
206 pクラッド層p-Al_{0.07}Ga_{0.93}N
207 SiO₂誘電体膜
208 pコンタクト層p-Ga_{0.99}N
301…塩素ドーピングされたGa_{0.99}N基板

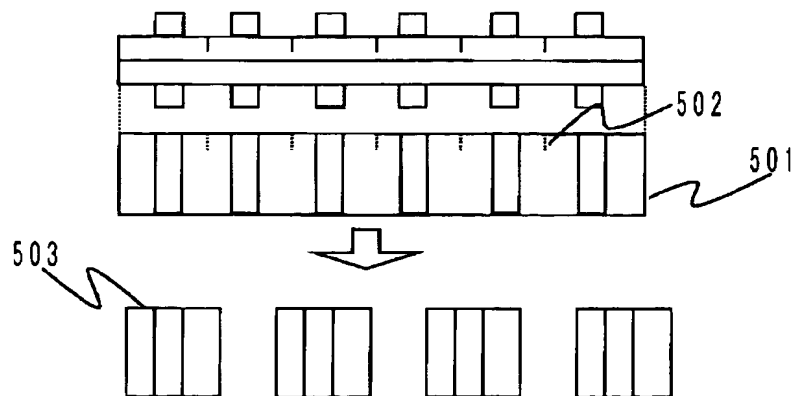
【図 1】



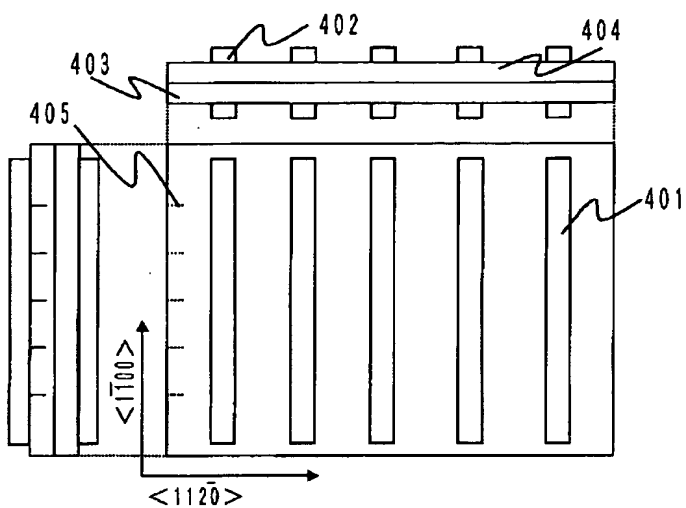
【図 2】



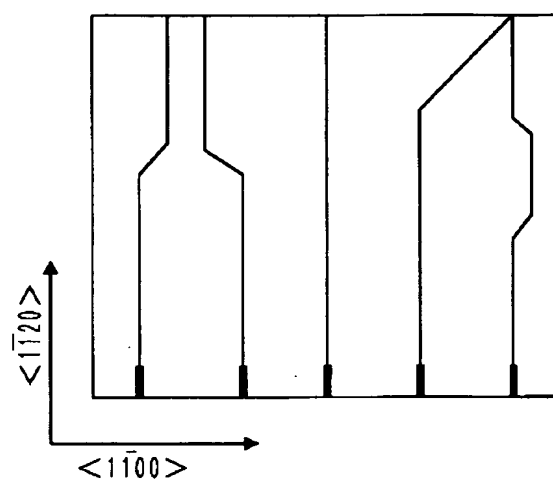
【図 4】



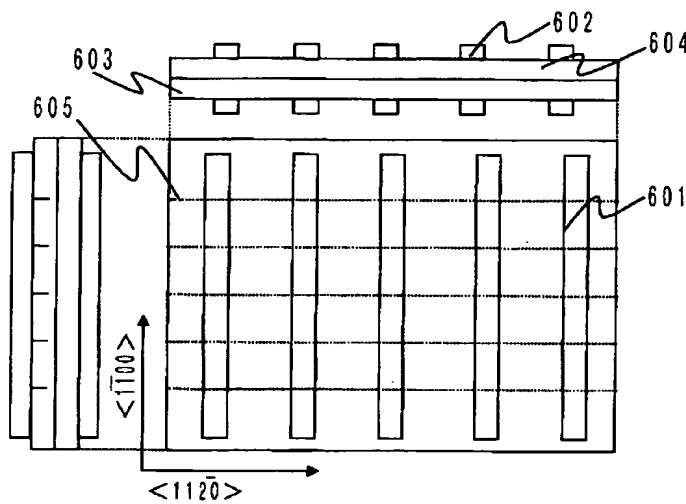
【図 3】



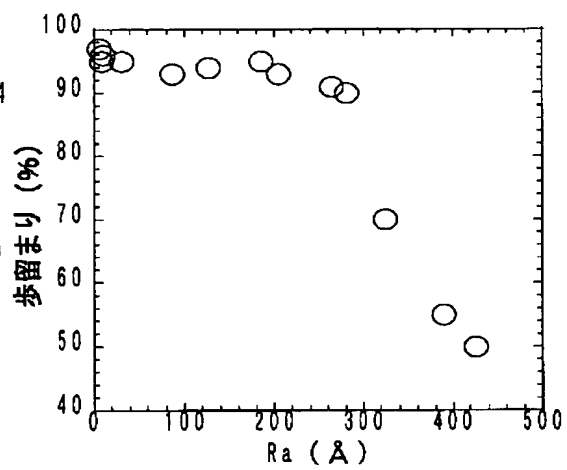
【図 14】



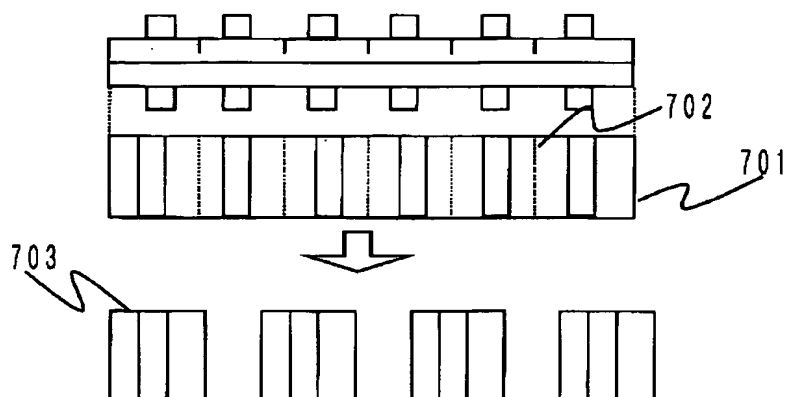
【図 5】



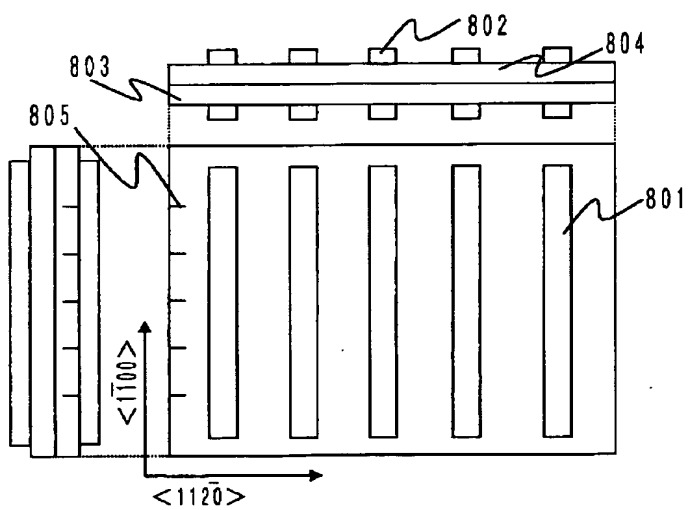
【図 15】



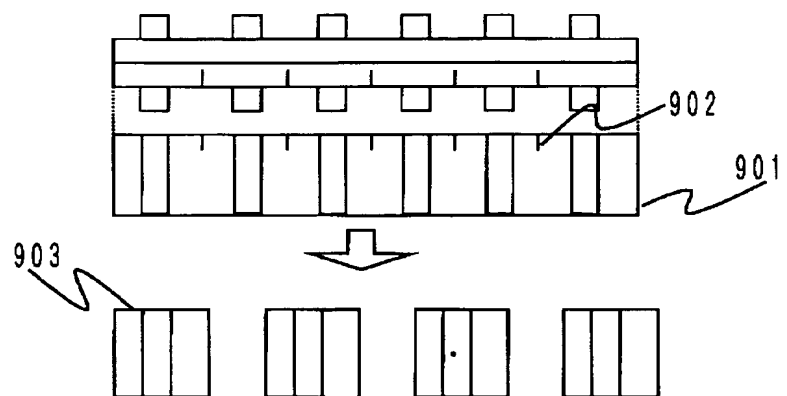
【図 6】



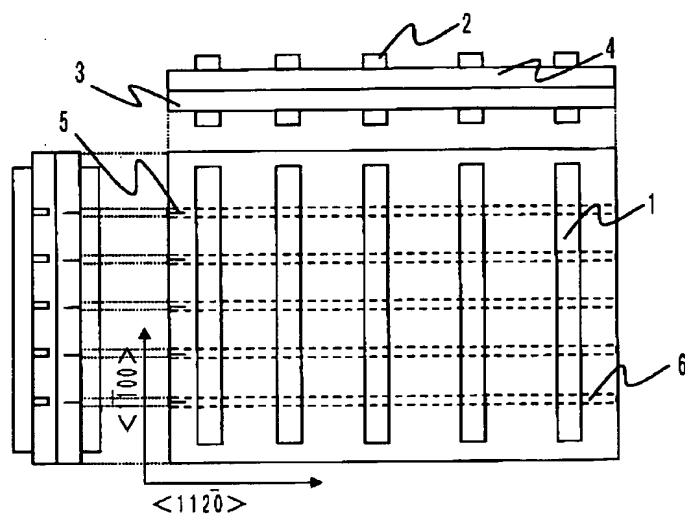
【図 7】



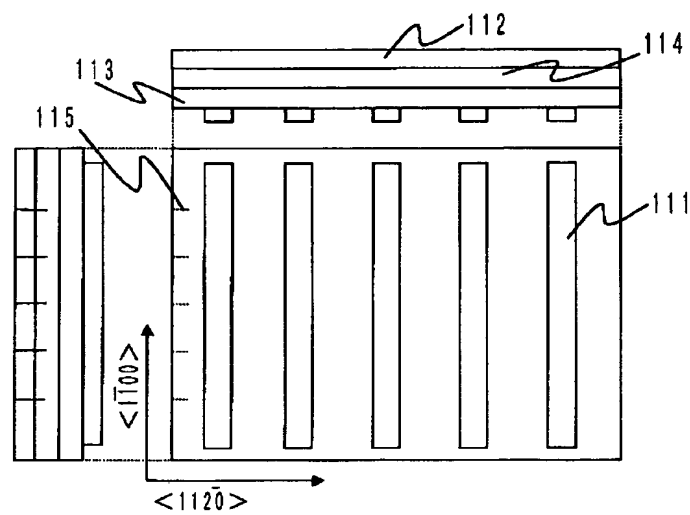
【図 8】



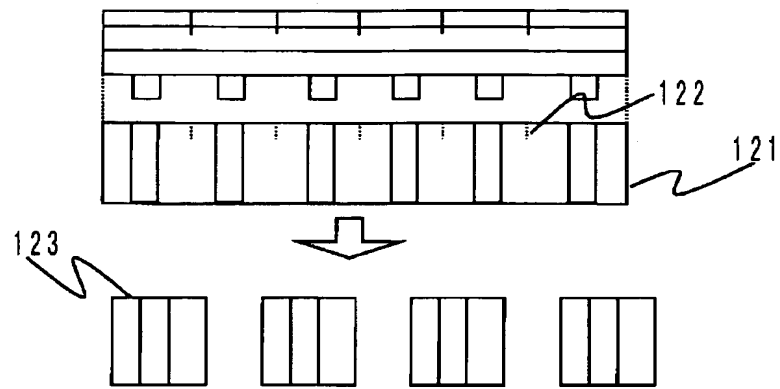
【図 9】



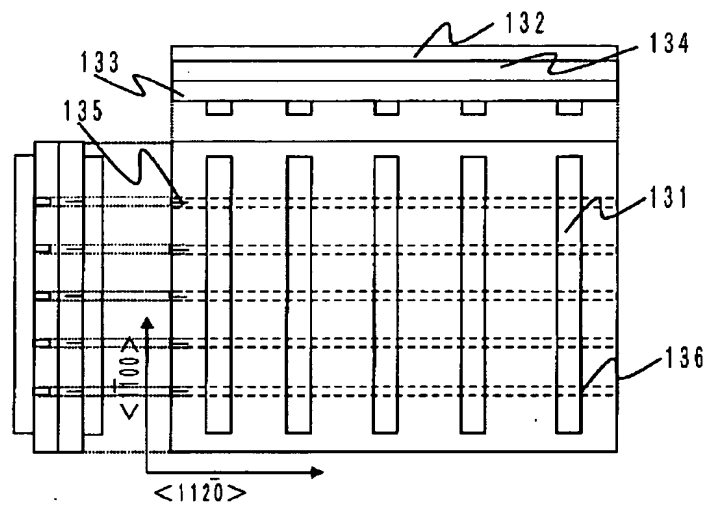
【図 10】



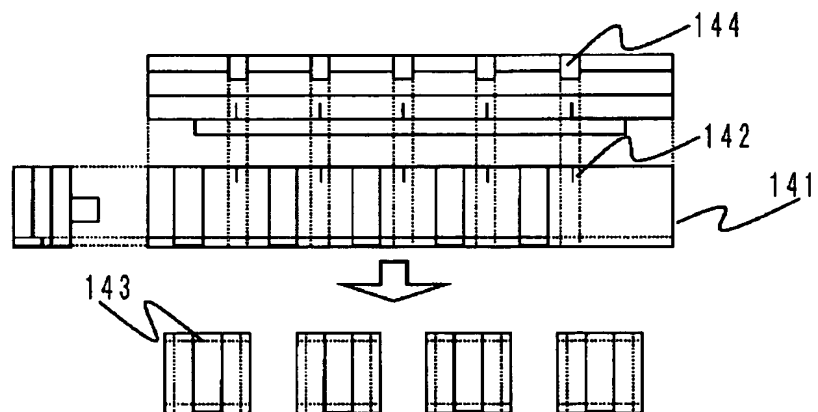
【図 11】



【図 12】



【図 13】



【図 16】

